

LIQUID CRYSTAL DISPLAY**Patent number:** JP9097909**Also published as:****Publication date:** 1997-04-08

US6028580 (A)

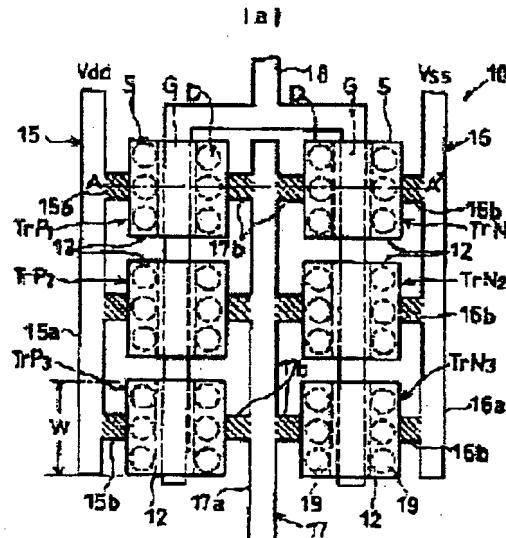
Inventor: OZEKAWA SEISHI; YAMASHITA TOSHIHIRO; TAKATO YUTAKA**Applicant:** SHARP KK**Classification:**

- international: G02F1/136; G02F1/1368; H01L27/12; H01L29/786;
G09G3/36; G02F1/13; H01L27/12; H01L29/66;
G09G3/36; (IPC1-7): H01L29/786; G02F1/136

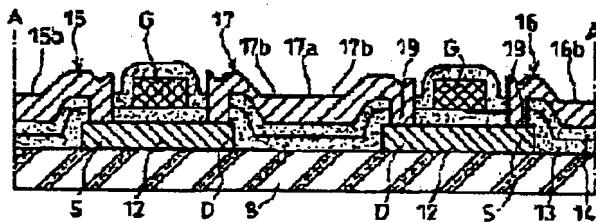
- european: H01L27/12

Application number: JP19950251318 19950928**Priority number(s):** JP19950251318 19950928**Report a data error here****Abstract of JP9097909**

PROBLEM TO BE SOLVED: To enhance an excellent article rate of a liquid crystal display by a method wherein it is possible to readily modify wire defects caused by a fail of a thin film transistor constituting a drive circuit buffer in an active matrix type liquid crystal display integral with the drive circuit. **SOLUTION:** This display comprises a plurality of P channel thin film transistors TrP1 to TrP3 and channel thin film transistors TrN1 to TrN3 in which buffers 10 in an image signal drive circuit or a scan signal drive circuit are respectively connected in parallel. Power source wires 15, 16 and an output wire 17 which are connected to each of the thin film transistors TrP1 to TrP3 and TrN1 to TrN3 are branched from main wiring parts 15a, 16a, 17a. Formation is made with wiring patterns comprising these and branch wiring parts 15b, 16b, 17b provided between them and a contact 19.



[b]



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97909

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl.⁶

H01L 29/786

G02F 1/136

識別記号

500

F I

H01L 29/78

612

C

G02F 1/136

500

H01L 29/78

612

A

審査請求 未請求 請求項の数 5 O.L. (全13頁)

(21) 出願番号

特願平7-251318

(22) 出願日

平成7年(1995)9月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小瀬川 征志

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 山下 俊弘

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 △高▽藤 裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

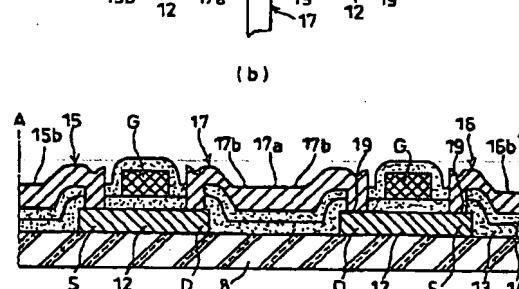
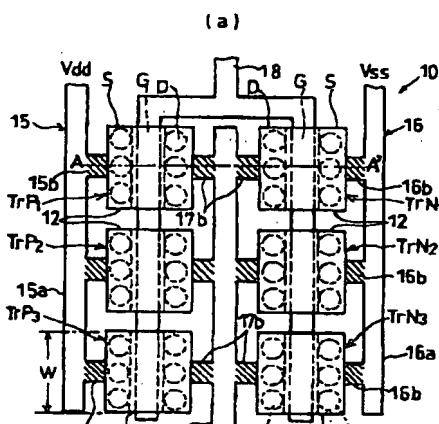
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 駆動回路一体型のアクティブマトリクス型液晶表示装置において、駆動回路のバッファを構成する薄膜トランジスタの不良に起因する線欠陥を容易に修正できるようにし、液晶表示装置の良品率を向上させる。

【解決手段】 映像信号駆動回路や走査信号駆動回路のバッファ10が、各々並列に接続された複数のPチャネル薄膜トランジスタTrP₁～TrP₃、Nチャネル薄膜トランジスタTrN₁～TrN₃を備えると共に、各薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃に接続された電源線15・16、出力線17は、主配線部15a・16a・17aと、これらから分岐し、これらとコンタクト19との間に設けられた分岐配線部15b・16b・17bとからなる配線パターンで形成されている。



【特許請求の範囲】

【請求項1】複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、

上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数の薄膜トランジスタを並列に接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファの電源線又は出力線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されていることを特徴とする液晶表示装置。

【請求項2】上記分岐配線部は、主配線部と、電源線又は出力線が半導体層と接続するコンタクトとの間に有ることを特徴とする上記請求項1記載の液晶表示装置。

【請求項3】複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、

上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数ゲートの薄膜トランジスタを複数並列に接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファのゲート線は、各ゲート毎に分割された分割配線部と、複数の薄膜トランジスタの間、又は各分割配線部の末端部に設けられた分割配線部同士が繋がっている繋ぎ配線部とからなる配線パターンで形成されていることを特徴とする液晶表示装置。

【請求項4】複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、

上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、一統きの半導体島を用いて作られた複数の薄膜トランジスタが並列に接続されたものからなり、複数の薄膜トランジスタに接続された電源線、出力線、又はゲート線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されていることを特徴とする液晶表示装置。

【請求項5】バッファのゲート線を薄膜トランジスタのゲート電極部とで構成する、薄膜トランジスタ間の間配線部が、ゲート電極部を形成する薄膜層とは異なる薄膜層から形成されると共に、薄膜トランジスタの近傍でスルーホールを介してゲート電極部に接続されていることを特徴とする上記請求項1、2、3又は4記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された駆動回路一体型の液晶表示装置に関するものである。

【0002】

【従来の技術】駆動回路一体型のアクティブマトリクス型液晶表示装置では、複数の表示画素部と共に、これらの表示画素部を制御する画素用薄膜トランジスタが設けられた基板上に、画素用薄膜トランジスタを点順次に駆動する映像信号駆動回路と走査信号駆動回路とが形成されている。

【0003】このような駆動回路一体型のアクティブマトリクス型液晶表示装置は、本発明の説明図である図2を参照して説明すると、液晶層からなる表示画素部3を制御する画素用薄膜トランジスタ4のソース側に、映像信号駆動回路1からの映像信号線7が接続される一方、ゲート側に、走査信号駆動回路2からの走査信号線6が接続されている。尚、5は補助容量である。

【0004】上記の映像信号駆動回路1は、シフトレジスタ9と、バッファ10と、アナログスイッチ11とを備え、また、走査信号駆動回路2は、シフトレジスタ9と、バッファ10とを備えている。

【0005】従来、映像信号駆動回路1や走査信号駆動回路2に搭載されるバッファは、例えば図13に示すバッファ62のように、高電位電源Vddと低電位電源Vssとの間に、Pチャネル薄膜トランジスタ60とNチャネル薄膜トランジスタ61とが直列に接続されてなる構成が用いられている。

【0006】ところが、このようなバッファ62を備えた液晶表示装置では、バッファ62を構成する薄膜トランジスタ60・61の故障に起因する線欠陥が発生し易く、パネル良品率の向上が困難といつた問題点を有している。

【0007】つまり、走査信号駆動回路2に備えられた上記バッファ62において、薄膜トランジスタ60・61の何れか一方に不良が発生すると、この不良薄膜トランジスタに走査信号線6で結線されている画素用薄膜トランジスタ4に正常な信号が入力されない。すると、その走査信号線6上にある表示画素部3が正常に点灯せず、線状の欠陥が生じることとなる。

【0008】尚、バッファ62を構成する薄膜トランジスタ60・61の不良発生原因としては、ダストや静電気などが考えられ、静電破壊防止に関連して、特開平6-260650号公報には、薄膜トランジスタにおける静電気に弱い薄膜半導体領域の端部を、真性半導体や、チャネル形成領域と同じ導電体にすることによって、この部分の耐圧を上げ、薄膜トランジスタ全体の耐圧を上げる方法が開示されている。しかしながら、これでは、薄膜トランジスタの不良は起こり難くなるものの、不良発生を完全に無くすることは不可能である。

【0009】一方、特開平6-123896号公報には、水素化処理による薄膜トランジスタの特性向上を目的として、バッファを構成する薄膜トランジスタを複数並列に接続することが開示されている。図14に、薄膜トランジスタの並列接続を、映像信号書き込みスイッチ用薄膜トランジスタを例として示す。図において、63が薄膜トランジスタであり、64が映像信号線入力、65がゲート信号であるシフトレジスタ出力を入力するシフトレジスタ出力線、66が映像信号線出力である。

【0010】

【発明が解決しようとする課題】しかしながら、このような単純な並列接続では、レーザ等を用いて不良が発生した薄膜トランジスタ63を切り離す場合、図においてハッチングにて示す、映像信号線入力64や映像信号線出力66とシフトレジスタ出力線65との狭い間の半導体層を切断する必要があり、切断時にシフトレジスタ出力線65を傷つける虞れが多分にあり、バッファの修正による良品率の向上は望めない。

【0011】また、一般にバッファは、トランジスタサイズが大きいため、ゲード線の配線長は長くなり、アンテナ効果により薄膜トランジスタの静電破壊が生じ易いといった別の問題も有している。

【0012】本発明の第1の目的は、バッファを構成する薄膜トランジスタの不良に起因する線欠陥を、容易に修正できる液晶表示装置を提供し、液晶表示装置のパネル良品率を向上させることにあり、第2の目的は、バッファを構成する薄膜トランジスタ自体を不良となり難い構造とすることで、パネル良品率をさらに向上させることにある。

【0013】

【課題を解決するための手段】本発明の請求項1記載の液晶表示装置は、上記の課題を解決するために、複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数の薄膜トランジスタを並列に接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファの電源線又は出力線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されていることを特徴としている。

【0014】これによれば、並列に接続された複数の薄膜トランジスタに配されるバッファの電源線又は出力線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分電配線部とからなる配線パターンで形成されている。したがって、並列に接続された薄膜トランジスタのうちの一つに、ゲートソース間リレーク等の電源線に関する不良が発生した場合、電源線における分岐配線部をレーザ等を用いて切断することで、残りの

薄膜トランジスタの動作に影響を与えることなく、バッファ回路から不良薄膜トランジスタを切り離して、不良薄膜トランジスタに起因した線欠陥を容易に修正できる。同様に、並列に接続された薄膜トランジスタのうちの一つに、ゲートードレイン間リレーク等の出力線に関係する不良が発生した場合は、出力線における分岐配線部をレーザ等を用いて切断することで線欠陥を容易に修正できる。尚、バッファにおける不良位置の特定は、微弱発光の解析或いはプローブによる波形観測等で行える。

10 【0015】薄膜トランジスタの不良モードとしては、ゲートソース間リレーク、ゲートードレイン間リレーク、ソースードレイン間リレーク等の複数のタイプがあるが、電源線と出力線の両方を分岐配線部を有する配線パターンで形成し、電源線、出力線の両方を分岐配線部で切断して不良薄膜トランジスタを切り離すことで、任意の不良モードに対応できる。

20 【0016】本発明の請求項2記載の液晶表示装置は、上記の課題を解決するために、請求項1の構成において、上記分岐配線部は、主配線部と、電源線又は出力線が半導体層と接続するコンタクトとの間にあることを特徴としている。

【0017】これによれば、分岐配線部が主配線部とコンタクトとの間に形成されているので、薄膜トランジスタにおけるゲート電極部を傷つけるといった失敗なく分岐配線部を切断できる。

30 【0018】本発明の請求項3記載の液晶表示装置は、上記の課題を解決するために、複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数ゲートの薄膜トランジスタを複数並列に接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファのゲート線は、各ゲート毎に分割された分割配線部と、複数の薄膜トランジスタの間、又は各分割配線部の末端部に設けられた分割配線部同士が繋がっている繋ぎ配線部とからなる配線パターンで形成されていることを特徴としている。

40 【0019】これによれば、並列に接続された複数の薄膜トランジスタは、それぞれ複数ゲートのものであり、それにおけるゲート線は、各ゲート毎に分割された分割配線部と、複数の薄膜トランジスタの間又は各分割配線部の末端部に設けられた分割配線部同士が繋がっている繋ぎ配線部とからなる配線パターンで形成されている。したがって、並列に接続された薄膜トランジスタのうちの一つに、ゲートードレイン間リレークやゲートソース間リレーク等のゲート線に関係する不良が発生した場合、ゲート線における分割配線部のうちの不良の発生している方をレーザ等を用いて切断することで、残りの薄膜ト

ランジスタの動作に影響を与えることなく、バッファ回路から不良薄膜トランジスタを切り離して、不良薄膜トランジスタに起因した線欠陥を容易に修正できる。ここで、たとえ一方の分割配線部を切断したとしても、その後段の薄膜トランジスタの複数のゲートには、切断されずに残った分割配線部及び繋ぎ配線部を通ってゲート信号が送られることになり、後段の薄膜トランジスタへの影響はない。

【0020】本発明の請求項4記載の液晶表示装置は、上記の課題を解決するために、複数の表示画素部が形成された基板上に、これら表示画素部を駆動する駆動回路が形成された液晶表示装置において、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、一続きの半導体島を用いて作られた複数の薄膜トランジスタが並列に接続されたものからなり、複数の薄膜トランジスタに接続された電源線、出力線、又はゲート線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されていることを特徴としている。

【0021】これによれば、一続きの半導体島を用いて作られた並列に接続された複数の薄膜トランジスタに配されるバッファの電源線、出力線、又はゲート線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されている。したがって、並列に接続された薄膜トランジスタのうちの一つに、ゲートソース間リーカやソースードレイン間リーカ等の電源線に関係する不良が発生した場合は、電源線における分岐配線部をレーザ等を用いて切断することで、残りの薄膜トランジスタの動作に影響を与えることなく、バッファ回路から不良薄膜トランジスタを切り離して、不良薄膜トランジスタに起因した線欠陥を容易に修正できる。同様に、ゲートードレイン間リーカやソースードレイン間リーカ等の出力線に関係する不良が発生した場合は、出力線における分岐配線部をレーザ等を用いて切断することで、線欠陥を容易に修正できる。同様に、ゲートソース間リーカや、ゲートードレイン間リーカといったゲート線に関係する不良が発生した場合は、ゲート線における分岐配線部をレーザ等を用いて切断することで、線欠陥を容易に修正できる。

【0022】そして、電源線と出力線の両方を分岐配線部を有する配線パターンで形成し、電源線、出力線の両方を分岐配線部で切断して不良薄膜トランジスタを切り離すことで、任意の不良モードに対応できる。

【0023】さらに、並列に接続された複数の薄膜トランジスタを、一続きの半導体島を用いて作っているので、薄膜トランジスタを構成する半導体が個々に分割されている構成に比べてバッファサイズを小さくできる。

【0024】本発明の請求項5記載の液晶表示装置は、

上記の課題を解決するために、上記請求項1、2、3又は4記載の液晶表示装置において、バッファのゲート線を薄膜トランジスタのゲート電極部とで構成する、薄膜トランジスタ間の間配線部が、ゲート電極部を形成する薄膜層とは異なる薄膜層から形成されると共に、薄膜トランジスタの近傍でスルーホールを介してゲート電極部に接続されていることを特徴としている。

【0025】これによれば、バッファのゲート線は、ゲート電極部を形成する薄膜層とそれとは異なる薄膜層とをスルーホールを介して接続することで形成されるので、ゲートの配線長が長くなるのを防げ、バッファのゲート線にて発生し易かったアンテナ効果による薄膜トランジスタの静電破壊が効果的に抑制される。

【0026】

【発明の実施の形態】

(実施の形態1) 本発明の実施の一形態について図1ないし図4に基づいて説明すれば、以下の通りである。

【0027】本実施の形態に係る駆動回路一体型のアクティブマトリクス型液晶表示装置は、図2に示すように、複数の表示画素部3が形成されている基板8上に、映像信号駆動回路1と走査信号駆動回路2とが形成されており、これら映像信号駆動回路1と走査信号駆動回路2にて、映像信号線7と走査信号線6との交差部分に形成されている画素用薄膜トランジスタ4を駆動して、液晶層からなる表示画素部3に表示を行わせるようになっている。尚、図において5は補助容量であり、この補助容量に印加される電圧も、画素用薄膜トランジスタ4にて制御される。

【0028】上記の映像信号駆動回路1は、シフトレジスタ9、バッファ10、及びアナログスイッチ11とを備えており、走査信号駆動回路2は、シフトレジスタ9、及びバッファ10を備えている。

【0029】上記のバッファ10は、高電位電源Vddと低電位電源Vssとの間に直列に接続された、Pチャネル薄膜トランジスタとNチャネル薄膜トランジスタとから構成される。そして、本実施の形態の液晶表示装置においては、図1(a)に示すように、Pチャネル薄膜トランジスタ及びNチャネル薄膜トランジスタは、それぞれ並列に接続された3個のPチャネル薄膜トランジスタTrP₁・TrP₂・TrP₃及びNチャネル薄膜トランジスタTrN₁・TrN₂・TrN₃からなる。

【0030】この図1(a)は、バッファ10を、基板8側から見た平面図であって、同図(b)に、(a)におけるA-A'線矢視断面図を示す。図において、12が基板8上に形成された半導体層であり、13・14が絶縁膜、Gがゲート電極部である。また、15・16が、半導体層12のソースSに接続された高電位電源Vdd側と低電位電源Vss側の電源線であり、17が半導体層12のドレインDに接続された出力線、19が電源線15・16或いは出力線17と半導体層12とを接

続するコンタクトである。但し、(a) の平面図においては、基板 8 と絶縁膜 13・14 は図示されていない。

【0031】(a) に示すように、上記の電源線 15・16 及び出力線 17 は、それぞれ一本の主配線部 15a・16a・17a と、これら主配線部 15a・16a・17a から個々の薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ へと分岐した分岐配線部 15b・16b・17b (図中、ハッチングにて示す) とかなる配線パターンで形成されている。これらの分岐配線部 15b・16b・17b は、各々の接続されている薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ に不良が生じた際にその不良のある薄膜トランジスタを切り離すべく切断されるものである。したがって、レーザによる切断時にゲート電極部 G を傷つけるのを防ぐために、主配線部 15a・16a・17a とコンタクト 19 との間に形成されている。そして、その幅は、プロセスのデザインルールとレーザによる切断のし易さを考慮すると、2 μm から接続されている薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ のチャネル幅 W の 1/2 の間にあることが望ましい。

【0032】一方、図において 18 は、各薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ のゲート電極部 G に制御 (ゲート) 信号を印加するためのゲート線である。このゲート線 18 は、各薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ の各ゲート電極部 G と同じ薄膜層から構成されており、各ゲート電極部 G を配線の一部として含んでいる。

【0033】このような構成のバッファ 10 を有する本液晶表示装置において、もしも線欠陥の発生が確認された場合、以下のような処理で、線欠陥の修正を行うことができる。

【0034】まず、プローブによる波形観測や微弱発光の解析により、バッファ 10 を調べる。その結果、図 3 に示すように、薄膜トランジスタ TrP₁ に不良が検出された場合は、この不良薄膜トランジスタ TrP₁ に接続している電源線 15 及び出力線 17 の各分岐配線部 15b・17b を、レーザ等を用いて切断し、不良のある薄膜トランジスタ TrP₁ を切り離す。

【0035】こうして、不良のある薄膜トランジスタ TrP₁ を切り離したことで、バッファ 10 は、残りの 2 つの P チャネル薄膜トランジスタ TrP₂・TrP₃ と、3 つの N チャネル薄膜トランジスタ TrN₁～TrN₃ とで、正常な信号を出力するようになり、線欠陥は修正される。

【0036】尚、ここでは、薄膜トランジスタ TrP₁ に不良が発生した場合の切り離しについて説明したが、他の薄膜トランジスタ TrP₂・TrP₃・TrN₁～TrN₃ の何れに不良が発生した場合も、同様の処理で修正できる。

【0037】また、この場合、切断されずに残った P チ

ヤネル或いは N チャネルの薄膜トランジスタが 2 個ずつでも、映像信号駆動回路 1 や走査信号駆動回路 2 のバッファ 10 として正常に動作するように、各薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ のチャネル幅 W を設定しておくことが望ましい。

【0038】以上のように、本実施の形態の駆動回路一体型のアクティブマトリクス型液晶表示装置では、映像信号駆動回路 1 や走査信号駆動回路 2 のバッファ 10 は、P チャネル及び N チャネルの薄膜トランジスタがそれぞれ、各々並列に接続された複数の薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ からなり、各薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ の電源線 15・16、出力線 17 が、主配線部 15a・16a・17a と、これら主配線部 15a・16a・17a とコンタクト 19 との間に形成された分岐配線部 15b・16b・17b とかなる配線パターンで形成されている。

【0039】したがって、各薄膜トランジスタ TrP₁～TrP₃、TrN₁～TrN₃ の何れかに不良が発生した場合、不良のある薄膜トランジスタと接続している分岐配線部 15b・16b・17b を切断することで、その他の正常な薄膜トランジスタへの信号の入出力を阻害したり、ゲート電極部 G を傷つけたりすることなく、不良の薄膜トランジスタのみを切断でき、線欠陥を容易に修正できる。

【0040】尚、本実施の形態では、バッファの電源線 15・16 と出力線 17 の両方を、主配線部 15a・16a・17a と、これから分岐された分岐配線部 15b・16b・17b とかなる配線パターンで形成しているので、電源線 15・16 と出力線 17 の両方を切断することで、ゲートソース間リード、ゲートドレイン間リード、ソースドレイン間リード等の任意の不良モードにおいて修正可能であるが、上述したように、ゲートソース間リード等の電源線 15・16 に関する不良であれば電源線 15・16 の分岐配線部 15b・16b のみを切断するだけでよく、また、ゲートドレイン間リード等の出力線 17 に関する不良であれば出力線 17 の分岐配線部 17b のみを切断すればよい。したがって、ゲートドレイン間のリードによる不良が多いと判明している場合は、出力線 17 のみをこのような配線パターンで形成しておくというように、発生し易い不良モードに合わせて、何れか一方の線のみをこのような配線パターンで形成しておいてもよい。

【0041】また、本実施の形態では、各チャネルの薄膜トランジスタをそれぞれ複数としたが、何れか一チャネル側のみの不良が発生し易いことが判っている場合は、その不良の発生し易い方のチャネル側のみを複数の薄膜トランジスタからなる構成としてもよい。このことは、以下に示す全ての実施の形態について言えることである。

【0042】ところで、実験結果から、並列に接続された複数の薄膜トランジスタの内、両端にある薄膜トランジスタは内側にあるものに比べて静電破壊が起こり易いことが判明した。そこで、図4に示すバッファ10'のように、3個のPチャネル薄膜トランジスタTrP₁～TrP₃と、3個のNチャネル薄膜トランジスタTrN₁～TrN₃のうちの両端に位置する薄膜トランジスタTrP₁・TrP₃・TrN₁・TrN₃のチャネル幅を小さくして、ダミーとしてもよい。そうすれば、線欠陥の修正が可能であるだけでなく、バッファサイズの縮小をも図ることができる。

【0043】〔実施の形態2〕本発明の他の実施の形態を図5に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1にて示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0044】一般にバッファは、トランジスタサイズが大きいため、ゲート線の配線長は長くなり、アンテナ効果により薄膜トランジスタの静電破壊が生じ易いといった問題がある。そこで、本実施の形態の駆動回路一体型のアクティブマトリクス型液晶表示装置は、図5(a)に示すようやくバッファ20を有している。

【0045】前記の実施の形態1の液晶表示装置におけるバッファ10では、ゲート線18は、各薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃のゲート電極部Gも、各ゲート電極部G間を繋ぐ配線部分(間配線部)も同じ薄膜層から形成されていた。これに対し、本実施の形態の液晶表示装置におけるバッファ20では、ゲート線21は、(a)のB-B'線矢視断面図である同図(b)にも示すように、各ゲート電極部G間を繋ぐ配線部分の全部がゲート電極部Gとは異なる薄膜層Hから形成されており、これら配線部の薄膜層Hと各ゲート電極Gとは、薄膜トランジスタ近傍でスルーホール22を介して接続されている。薄膜層Hとしては、例えば電源線15・16や出力線17と同じ薄膜層や、ゲート電極部Gと同じ材料からなるものでもよい。

【0046】これにより、本実施の形態の液晶表示装置では、ゲート線21のアンテナ効果による薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃の静電破壊が生じ難くなる。

【0047】その結果、前記の実施の形態1と同様の構成による線欠陥を失敗なく容易に修正できるといった効果に加えて、薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃の静電破壊に起因する線欠陥の発生をも効果的に抑制でき、パネル良品率を大幅に向上させることができる。

【0048】尚、このようなゲート線21の手法は、以下の示す実施の形態3、4、5にて示す各ゲート線にも、もちろん採用可能であることは言うまでもない。また、各ゲート電極部G間を繋ぐ配線部分の一部をゲート

電極部Gとは異なる薄膜層Hから形成する構成もある。

【0049】〔実施の形態3〕本発明の他の実施の形態を図6ないし図8に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1にて示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0050】本実施の形態に係る駆動回路一体型のアクティブマトリクス型液晶表示装置は、図6に示すようなバッファ23を有している。

【0051】バッファ23では、Pチャネル及びNチャネルの薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃は、マルチゲート薄膜トランジスタであり、デュアルゲートになっている。

【0052】バッファ23では、各薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃に接続する高電位電源Vdd側の電源線24、低電位電源Vss側の電源線25、及び出力線26は、分岐配線部を設けることなく各々直接接続されているのに対し、ゲート線27は、各薄膜トランジスタTrP₁～TrP₃、TrN₁～TrN₃のデュアルゲートG・Gに応じて分割された分割配線部27a・27bと、これら分割配線部27a・27b同士が、薄膜トランジスタ間で繋がれた繋ぎ配線部27cとからなる梯子状の配線パターンにて形成されている。

【0053】このような構成のバッファ23を有する液晶表示装置では、ゲートソース間リードや、ゲートドライン間リードといった、ゲート線に関する不良モードを起因とする線欠陥の修正が可能である。

【0054】まず、前述と同様の方法で不良位置を検出する。ここで、例えば、図7に示すように、Pチャネル薄膜トランジスタTrP₁の×印の位置に不良がある

(ゲートソース間リード)ことが検出された場合は、薄膜トランジスタTrP₁に接続しているゲート線27の不良のある方の分割配線部27aを、薄膜トランジスタTrP₁の両側のハッチングにて示す部分で、レーザ等を用いて切断し、不良のある薄膜トランジスタTrP₁を切り離す。こうして、不良のある薄膜トランジスタTrP₁を切り離したことで、バッファ23は、残りの2つのPチャネルの薄膜トランジスタTrP₂・TrP₃と、3つのNチャネルの薄膜トランジスタTrN₁～TrN₃とで、正常な信号を出力するようになり、線欠陥は修正される。

【0055】尚、ここでは、薄膜トランジスタTrP₁に不良が発生した場合の切り離しについて説明したが、その他の薄膜トランジスタTrP₂・TrP₃・TrN₁～TrN₃の何れに不良が発生した場合も、同様の処理で修正できる。

【0056】また、この場合も、切断されずに残ったPチャネル或いはNチャネルの薄膜トランジスタが2個ずつでも、映像信号駆動回路1や走査信号駆動回路2のバ

ッファ23として正常に動作するように、各薄膜トランジスタTrP₁～TrP₄、TrN₁～TrN₄のチャネル幅を設定しておくことが望ましい。

【0057】また、ここで示した駆動回路一体型のアクティブマトリクス型液晶表示装置においても、並列に接続された複数の薄膜トランジスタの内、両端にある薄膜トランジスタは内側にあるものに比べて静電破壊が起こり易いことが分かっているので、図8に示すバッファ23'のように、3個のPチャネル薄膜トランジスタTrP₁～TrP₃、3個のNチャネル薄膜トランジスタTrN₁～TrN₃のうちの両端に位置する薄膜トランジスタTrP₁・TrP₃・TrN₁・TrN₃のチャネル幅を小さくして、ダミーとしてもよい。

【0058】〔実施の形態4〕本発明の他の実施の形態を、図9、図10に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態3にて示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0059】本実施の形態に係る駆動回路一体型のアクティブマトリクス型液晶表示装置は、図9に示すようなバッファ28を有している。

【0060】バッファ28では、ゲート線29が、各薄膜トランジスタTrP₁～TrP₄、TrN₁～TrN₄のデュアルゲートに応じて分割された分割配線部29a・29bの末端部に、分割配線部29a・29b同士が繋がった繋ぎ配線部29cが設けられたリング状構造を有している。このようなリング状の配線パターンとすることで、実施の形態3のゲート線27における梯子状の配線パターンよりも、バッファサイズを小さくできるといった利点がある。

【0061】そして、このような構成とした場合も、前記の実施の形態3の場合と同じように、ゲートソース間リーカや、ゲートードレイン間リーカといった、ゲート線に關係する不良モードを起因とする線欠陥の修正が可能である。

【0062】例えば図10に示すバッファ28内のPチャネル薄膜トランジスタTrP₁の×印の位置に不良がある（ゲートソース間リーカ）ことが検出された場合は、この不良薄膜トランジスタTrP₁に接続しているゲート線29における不良のある分割配線部29aを、薄膜トランジスタTrP₁の両側のハッチングにて示す部分で、レーザ等を用いて切断して、不良薄膜トランジスタTrP₁を切り離すことで、線欠陥を修正することができる。

【0063】また、この場合も、切断されずに残ったPチャネル或いはNチャネルの薄膜トランジスタが2個ずつでも、映像信号駆動回路1や走査信号駆動回路2のバッファ28として正常に動作するように、各薄膜トランジスタTrP₁～TrP₄、TrN₁～TrN₄のチャネル幅を設定しておくことが望ましい。

【0064】〔実施の形態5〕本発明の他の実施の形態を図11、図12に基づいて説明すれば、以下の通りである。尚、説明の便宜上、前記の実施の形態1にて示した部材と同一の機能を有する部材には、同一の符号を付記し、その説明を省略する。

【0065】本実施の形態に係る駆動回路一体型のアクティブマトリクス型液晶表示装置は、図11に示すようなバッファ30を有している。

【0066】バッファ30では、高電位電源Vddに接続された電源線31と、低電位電源Vssに接続された電源線32との間に、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとから構成されており、本実施の形態においては、Pチャネル薄膜トランジスタとNチャネル薄膜トランジスタは、それぞれ一続きの半導体島35・36を用いて作られた各6個の薄膜トランジスタTrP₁～TrP₆、TrN₁～TrN₆が並列に接続された構成となっている。

【0067】そして、各6個の薄膜トランジスタTrP₁～TrP₆、TrN₁～TrN₆に形成されたバッファの電源線31・32、出力線33、ゲート線34はそれぞれ、主配線部31a・32a・33a・34aと、これから分岐された分岐配線部31b・32b・33b・34bとからなる配線パターンで形成されている。

【0068】そして、このような構成とした場合も、あらゆる不良モードの線欠陥を修正することができる。

【0069】例えば、図12に示すように、バッファ23のPチャネル薄膜トランジスタTrP₁に不良があることが前述した方法で検出された場合は、図中ハッチングにて示すこの不良薄膜トランジスタTrP₁に接続している電源線31、出力線33、ゲート線34の各分岐配線部31b・33b・34bをレーザ等を用いて切断して、不良薄膜トランジスタTrP₁を切り離す。この場合、PチャネルトランジスタTrP₂・TrP₃も同時に切り離されるが、Pチャネル側の3つの残りの薄膜トランジスタTrP₄・TrP₅・TrP₆と、Nチャネル側の6個の薄膜トランジスタTrN₁～TrN₆とで、正常な信号を出力するようになり、線欠陥は修正される。

【0070】また、この場合も、前記と同様に、切断されずに残ったPチャネル、Nチャネルの薄膜トランジスタがたとえ3個ずつでも、バッファ30が正常に動作するように、Pチャネル薄膜トランジスタTrP₁～TrP₆、Nチャネル薄膜トランジスタTrN₁～TrN₆のチャネル幅を設定しておくことが望ましい。

【0071】尚、図12の切断パターンでは、不良薄膜トランジスタTrP₁に接続する電源線31、出力線33、ゲート線34のすべてを各分岐配線部31b・33b・34bの部分で切断したので、あらゆる不良モードにも対応可能であるが、例えば、ゲートソース間リーカといった場合は、電源線31或いはゲート線34にお

ける分岐配線部31b・34bの何れかを切断することでも、不良薄膜トランジスタTrP₁を切り離して、線欠陥を修正することができる。同様に、ゲートードレイン間リーケといった場合は、出力線33或いはゲート線34における分岐配線部33b・34bの何れかを切断することでも、不良薄膜トランジスタTrP₁を切り離して、線欠陥を修正することができる。したがって、ゲートードレイン間のリーケによる不良が多いと判明している場合は、出力線33或いはゲート線34のみをこのような配線パターンで形成しておくというように、発生し易い不良モードに合わせて、何れか一方の線のみをこのような配線パターンで形成しておいてもよい。

【0072】そして、このように、一続きの半導体島35・36を用いて複数の薄膜トランジスタTrP₁～TrP₄、TrN₁～TrN₄を構成することで、各薄膜トランジスタを構成する半導体が個々に分割されている構成に比べてバッファサイズを小さくできるといった利点がある。

【0073】

【発明の効果】本発明の請求項1記載の液晶表示装置は、以上のように、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数の薄膜トランジスタを並列に接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファの電源線又は出力線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されている構成である。

【0074】これにより、並列に接続された薄膜トランジスタのうちの一つに、電源線又は出力線に関係する不良が発生した場合、残りの薄膜トランジスタの動作に影響を与えることなく、バッファ回路から不良薄膜トランジスタを切り離して、不良薄膜トランジスタに起因した線欠陥を容易に修正することが可能となり、線欠陥に起因した不良パネル数を低減させ、パネル良品率の向上を図れるという効果を奏する。

【0075】本発明の請求項2記載の液晶表示装置は、以上のように、請求項1の構成において、上記分岐配線部は、主配線部と、電源線又は出力線が半導体層と接続するコンタクトとの間にある構成である。

【0076】これにより、薄膜トランジスタにおけるゲート電極部を傷つけるといった失敗なく分岐配線部を切断でき、その結果、パネル良品率のさらなる向上を図れるという効果を奏する。

【0077】本発明の請求項3記載の液晶表示装置は、以上のように、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、複数ゲートの薄膜トランジスタを複数並列に

接続してなる構成を有し、これら複数の薄膜トランジスタに配されるバッファのゲート線は、各ゲート毎に分割された分割配線部と、複数の薄膜トランジスタの間、又は各分割配線部の末端部に設けられた分割配線部同士が繋がっている繫ぎ配線部とからなる配線パターンで形成されている構成である。

【0078】これにより、並列に接続された薄膜トランジスタのうちの一つに、ゲート線に関係する不良が発生した場合、残りの薄膜トランジスタの動作に影響を与えることなく、バッファ回路から不良薄膜トランジスタを切り離して、不良薄膜トランジスタに起因した線欠陥を容易に修正することが可能となり、線欠陥に起因した不良パネル数を低減させ、パネル良品率の向上を図れるという効果を奏する。

【0079】本発明の請求項4記載の液晶表示装置は、以上のように、上記駆動回路のバッファは、直列に接続されたPチャネル薄膜トランジスタとNチャネル薄膜トランジスタとを備えると共に、少なくとも何れか一チャネル側が、一続きの半導体島を用いて作られた複数の薄膜トランジスタが並列に接続されたものからなり、複数の薄膜トランジスタに接続された電源線、出力線、又はゲート線は、主配線部とこの主配線部から個々の薄膜トランジスタへと分岐した分岐配線部とからなる配線パターンで形成されている構成である。

【0080】これにより、並列に接続された薄膜トランジスタのうちの一つに、ゲートードソース間リーケやソースードレイン間リーケ等の電源線に関係する不良が発生した場合は、電源線における分岐配線部をレーザ等を用いて切断することで、ゲートードレイン間リーケやソースードレイン間リーケ等の出力線に関係する不良が発生した場合は、出力線における分岐配線部をレーザ等を用いて切断することで、ゲートードソース間リーケや、ゲートードレイン間リーケといったゲート線に関係する不良が発生した場合は、ゲート線における分岐配線部をレーザ等を用いて切断することで、それぞれ線欠陥を容易に修正できる。また、電源線と出力線の両方を分岐配線部を有する配線パターンで形成し、電源線、出力線の両方を分岐配線部で切断して不良薄膜トランジスタを切り離すことで、任意の不良モードに対応できる。その結果、線欠陥に起因した不良パネル数を低減させ、パネル良品率の向上を図れるという効果を奏する。

さらに、並列に接続された複数の薄膜トランジスタを、一続きの半導体島を用いて作っているので、薄膜トランジスタを構成する半導体が個々に分割されている構成に比べてバッファサイズを小さくできるという効果も併せて奏する。

【0081】本発明の請求項5記載の液晶表示装置は、以上のように、上記請求項1、2、3又は4記載の液晶表示装置において、バッファのゲート線を薄膜トランジスタのゲート電極部とで構成する、薄膜トランジスタ間の間配線部が、ゲート電極部を形成する薄膜層とは異な

る薄膜層から形成されると共に、薄膜トランジスタの近傍でスルーホールを介してゲート電極部に接続されている構成である。

【0082】これにより、上記請求項1、2、3又は4の構成による効果に加えて、トランジスタサイズの大きいバッファのゲート線にて発生しやすかった薄膜トランジスタの静電破壊が効果的に抑制され、その結果、さらなるパネル良品率の向上が図れるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示すもので、(a)は駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図であり、(b)は上記バッファの要部断面図である。

【図2】上記駆動回路一体型の液晶表示装置の構成を示す説明図である。

【図3】不良部が修正された図1に示すバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図4】本発明の他の実施の一形態を示すもので、駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図5】本発明の他の実施の一形態を示すもので、(a)は駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図であり、(b)は上記バッファの要部断面図である。

【図6】本発明の他の実施の一形態を示すもので、駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図7】不良部が修正された図6に示すバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図8】本発明の他の実施の一形態を示すもので、駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図9】本発明の他の実施の一形態を示すもので、駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図10】不良部が修正された図9に示すバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

【図11】本発明の他の実施の一形態を示すもので、駆動回路一体型の液晶表示装置を構成する基板に設けられた、駆動回路のバッファを基板の裏面側から基板と絶縁

膜を除いて見た図である。

【図12】不良部が修正された図11に示すバッファを基板の裏面側から基板と絶縁膜を除いて見た図である。

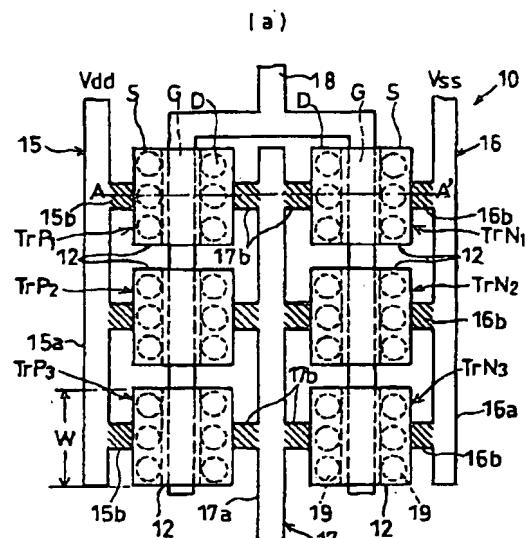
【図13】従来例を説明するもので、バッファの回路図である。

【図14】従来例を説明するもので、映像信号書き込みスイッチ用薄膜トランジスタの平面図である。

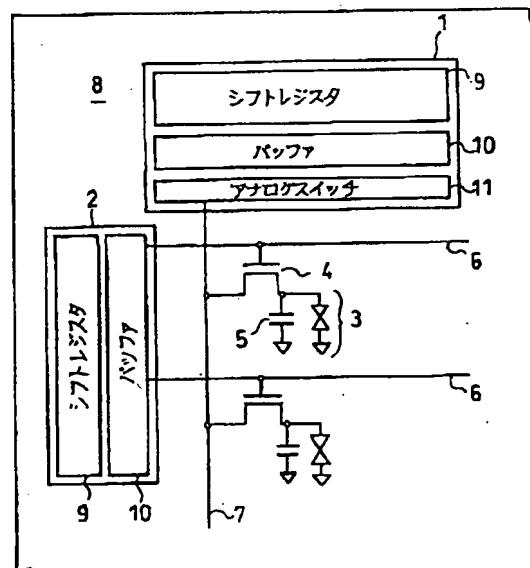
【符号の説明】

1	映像信号駆動回路
2	走査信号駆動回路
3	表示画素部
4	画素用薄膜トランジスタ
5	補助容量
6	走査信号線
7	映像信号線
8	基板
10	バッファ
10, 10'	半導体層
12	電源線
15, 16	主配線部
20	分岐配線部
15 a, 16 a	出力線
15 b, 16 b	主配線部
17	分岐配線部
17 a	ゲート線
17 b	コンタクト
18	バッファ
19	ゲート線
20	スルーホール
21	バッファ
22	ゲート線
30	分割配線部
23, 23'	繁ぎ配線部
27	バッファ
27 a, 27 b	ゲート線
27 c	分割配線部
28	繁ぎ配線部
29	バッファ
29 a, 29 b	ゲート線
29 c	分割配線部
30	繁ぎ配線部
31, 32	バッファ
33	電源線
34	出力線
35	ゲート線
36	半導体島
G	半導体島
T r P ₁ ~ T r P ₄	ゲート電極
T r N ₁ ~ T r N ₄	Pチャネル薄膜トランジスタ
	Nチャネル薄膜トランジスタ

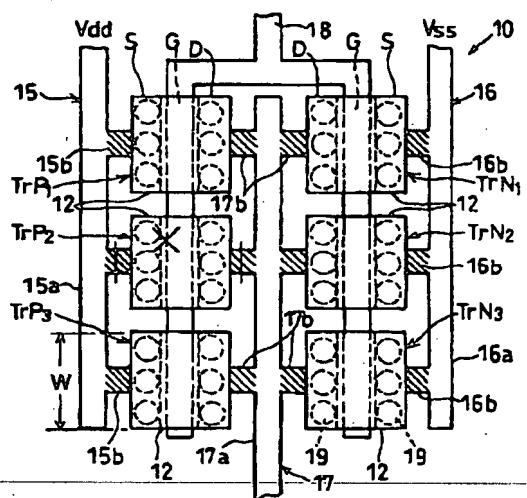
【図 1】



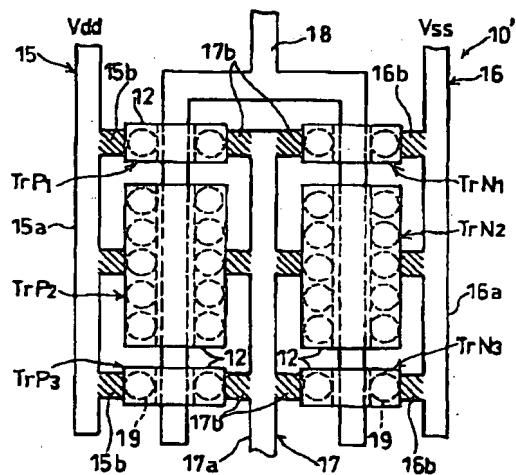
【図 2】



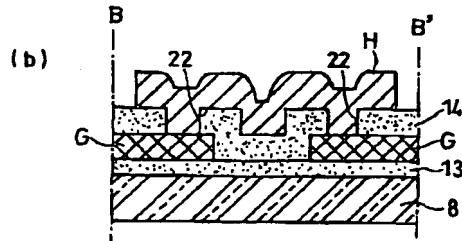
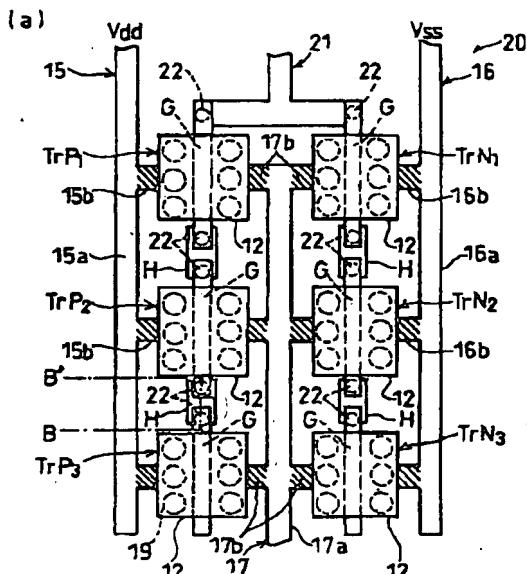
【図 3】



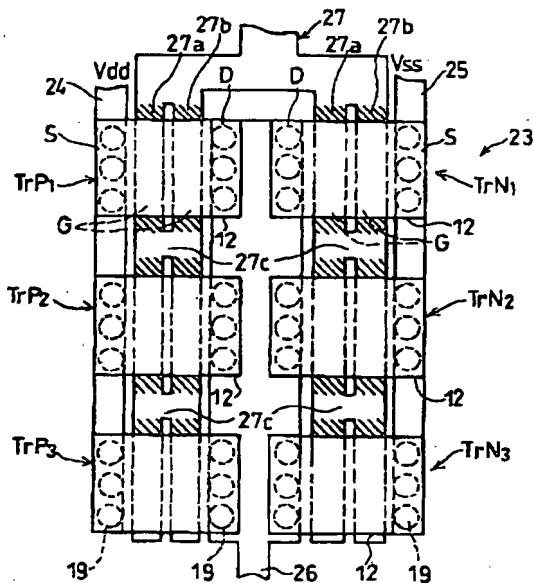
【図 4】



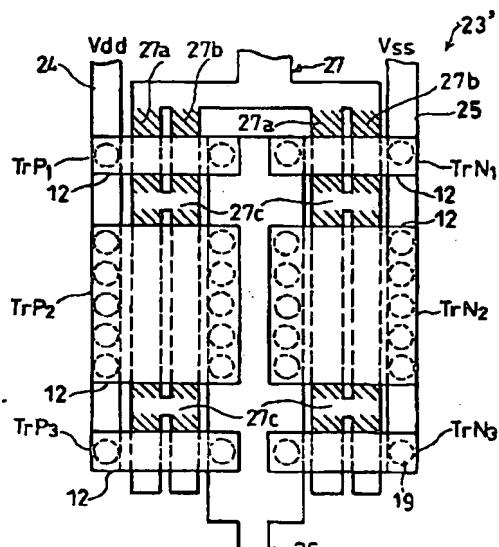
【図5】



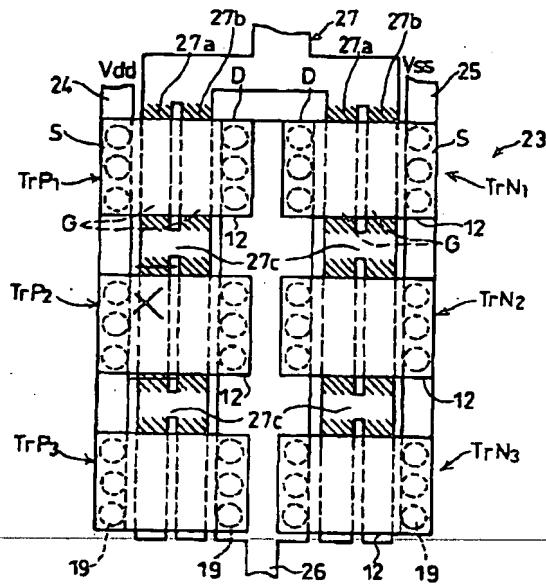
【図6】



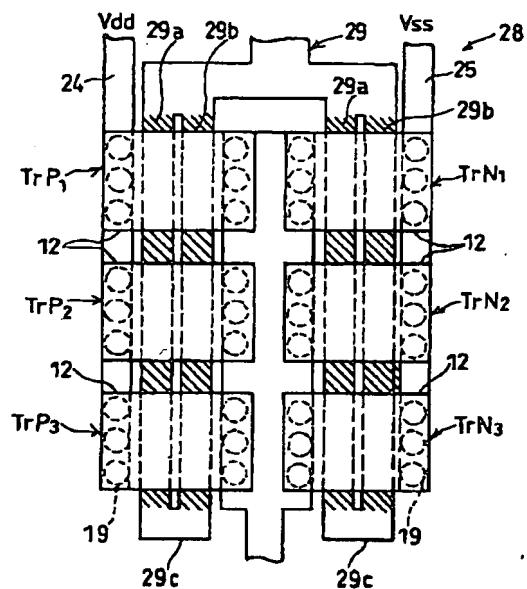
【図8】



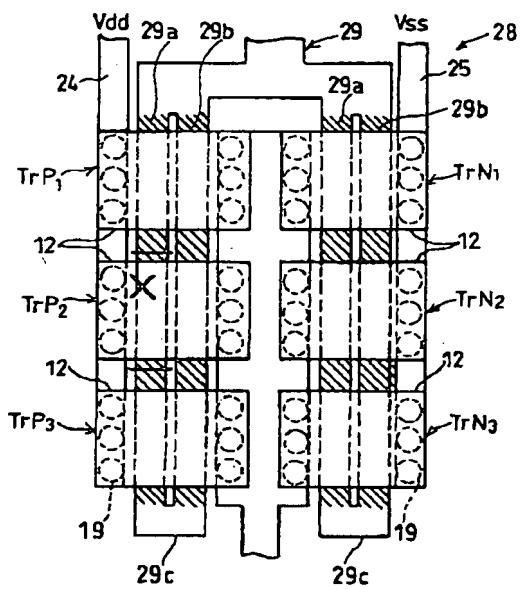
【図7】



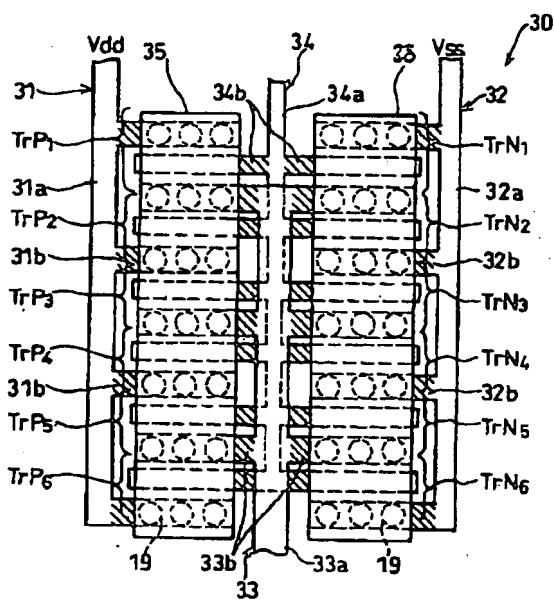
【図 9】



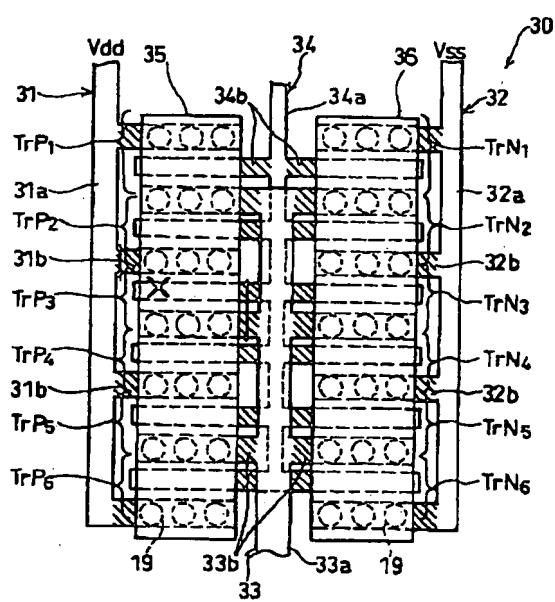
【図 10】



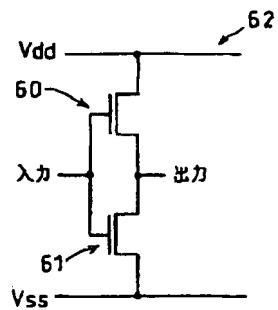
【図 11】



【図 12】



【図13】



【図14】

